

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS


**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## Trench depletion MOSFET

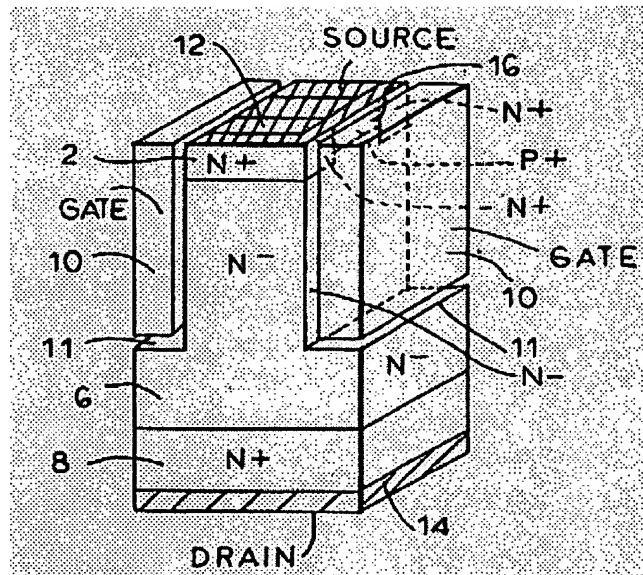
**Patent number:** DE19530109  
**Publication date:** 1996-04-04  
**Inventor:** AJIT JANARDHANAN S (US)  
**Applicant:** INT RECTIFIER CORP (US)  
**Classification:**  
- **International:** H01L29/78  
- **European:** H01L29/06D3B2, H01L29/08E2, H01L29/739B, H01L29/772B, H01L29/78, H01L29/78C, H01L29/78E2  
**Application number:** DE19951030109 19950816  
**Priority number(s):** US19940298462 19940830

**Also published as:**


 US5581100 (A1)  
 JP8107204 (A)  
 ITMI951820 (A)  
 GB2292835 (A)  
 FR2725308 (A1)

Abstract not available for DE19530109  
Abstract of correspondent: **US5581100**

A vertical trench power MOS transistor with low on-resistance is obtained by eliminating the inversion region of a conventional structure. In one embodiment, a deep-depletion region is formed between the trench gates to provide forward blocking capability. In another embodiment, forward blocking is achieved by depletion from the trench gates and a junction depletion from a P diffusion between the gates. Both embodiments are preferably fabricated in a cellular geometry. The device may also be provided in a horizontal conduction configuration in which the MOS gate is disposed on the upper surface of the semiconductor wafer over the deep-depletion region.



Data supplied from the *esp@cenet* database - Worldwide



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 195 30 109 A 1**

⑤ Int. Cl.<sup>8</sup>:  
H01L 29/78

⑲ Aktenzeichen: 195 30 109.9  
⑳ Anmeldetag: 16. 8. 85  
㉑ Offenlegungstag: 4. 4. 88

DE 195 30 109 A 1

③① Unionspriorität: ③② ③③ ③④  
30.08.84 US 298462

⑦① Anmelder:  
International Rectifier Corp., El Segundo, Calif., US

⑦④ Vertreter:  
G. Koch und Kollegen, 80339 München

⑦② Erfinder:  
Ajit, Janardhanan S., Redondo Beach, Calif., US

⑤④ Hochleistungs-Graben-MOSFET-Transistor

⑤⑦ Ein vertikaler Leistungs-Graben-MOSFET-Transistor mit einem niedrigen Einschaltwiderstand wird durch Beseitigen des Inversionsbereiches einer üblichen Struktur geschaffen. Bei einer Ausführungsform wird ein Tiefverarmungsbereich zwischen den in Gräben angeordneten Gates gebildet, um eine Vorwärts-Sperrfähigkeit zu erzielen. Bei einer weiteren Ausführungsform wird eine Vorwärts-Sperrfähigkeit durch eine Verarmung durch die grabenförmigen Gates und durch eine Grenzschichtverarmung von einer P-Diffusion zwischen den Gates erzielt. Beide Ausführungsformen sind vorzugsweise in einer zeilenförmigen Geometrie hergestellt. Das Bauteil kann weiterhin in einer Konfiguration mit horizontaler Stromleitung ausgebildet werden, bei der das MOS-Gate auf der oberen Oberfläche der Halbleiterscheibe über den Tiefverarmungsbereich angeordnet ist.

DE 195 30 109 A 1

## Beschreibung

Die vorliegende Erfindung bezieht sich auf einen Hochleistungs-MOSFET-Transistor der im Oberbegriff des Anspruchs 1 genannten Art und insbesondere auf Hochleistungs-MOSFET-Transistoren mit einem niedrigen Einschaltwiderstand, die eine grabenförmige MOS-Gate-Struktur verwenden.

Um die Leistungsverarbeitungsfähigkeit von Leistungshalbleiterbauteilen zu einem Optimum zu machen, ist es wichtig, die Zellen-Packungsdichte zu einem Maximum zu machen. Es wurde erkennbar, sowohl auf der Grundlage von Experimenten als auch von Analysen, daß Beschränkungen der Bauteilphysik weitere Fortschritte hinsichtlich der Zellen-Packungsdichte und damit hinsichtlich des Betriebsverhaltens von MOSFET's beschränken, wenn ein Oberflächenkanal verwendet wird, der durch ein Verfahren mit selbstausgerichteter Doppeldiffusion hergestellt wird, wobei diese Technologie allgemein als DMOS bekannt ist.

Eine Vergrößerung der Zellen-Packungsdichte kann durch die Verwendung einer grabenförmigen MOS-Gate-Struktur anstelle einer üblichen DMOS-Struktur erzielt werden. Das Fehlen eines JFET-Abschmüreffektes in einer grabenförmigen Gate-Struktur führt außerdem zu einem beträchtlich niedrigeren Einschaltwiderstand verglichen mit einer DMOS-Struktur. Ein niedriger Einschaltwiderstand ist besonders dann wichtig, wenn MOSFET's in elektronischen Niederfrequenz-Leistungsanwendungen verwendet werden, wie z. B. bei der Fahrzeugelektronik.

Ein üblicher Leistungs-Graben-MOSFET ist in Fig. 1 gezeigt. Das Bauteil schließt einen  $N^+$ -Sourcebereich 2, einen P-Basis- oder Kanalbereich 4, einen  $N^-$ -Bereich 6 und einen  $N^+$ -Bereich 8 ein. Ein Polysilizium-Gate 10 ist in Gräben auf beiden Seiten der P-Basis 4 ausgebildet und von dieser durch eine dünne Oxydschicht 11 getrennt. Eine Sourceelektrode 12 auf der oberen Oberfläche des Bauteils bedeckt den Sourcebereich 2. Eine Drainelektrode 14 auf der unteren Oberfläche des Bauteils bedeckt den  $N^+$ -Bereich 8.

Die Betriebsweise des Bauteils nach Fig. 1 ist wie folgt: Wenn die Drainelektrode 14 gegenüber der Sourceelektrode 12 positiv ist, so fließt ein Strom nach oben durch das Bauteil, wenn ein positives Potential an das Gate 10 angelegt wird. Das positive Potential an dem Gate 10 invertiert die P-Basis 4, wodurch durch diese hindurch ein n-Kanal ausgebildet wird, der einen Stromfluß von der Drain- zur Sourceelektrode ermöglicht.

Obwohl der Leistungs-Graben-MOSFET nach Fig. 1 beträchtliche Vorteile gegenüber einem DMOS-Transistor hinsichtlich der Zellen-Packungsdichte aufweist, trägt das Vorhandensein einer P-Basis in der Struktur in unerwünschter Weise zum Einschaltwiderstand bei, und zwar aufgrund des Kanalwiderstandes, wenn der p-Kanal invertiert ist. Dies bildet eine Grenze für das Ausmaß, mit dem der Einschaltwiderstand in einem DMOS-Bauteil verringert werden kann. Zusätzlich weist der übliche, in Fig. 1 gezeigte Leistungs-Graben-MOSFET eine parasitäre P-N-Grenzschicht auf, die ein Problem bei der Anwendung für eine synchrone Gleichrichtung darstellt.

Eine Struktur vom Anreicherungstyp für einen Leistungs-Graben-MOSFET ist in Fig. 2 gezeigt, in der gleiche Elemente mit gleichen Bezugsziffern bezeichnet sind. Dieses Bauteil, das in der Veröffentlichung von B. Baliga "The Accumulation-Mode Field-Effect Transistor: A New Ultralow On-Resistance MOSFET", IEEE Electron Device Letters, Vol. 14, Nr. 8, August 1992, Seiten 427—429, beschrieben wurde, weist keine P-Basis auf, so daß sich keine P-N-Grenzschicht zwischen den Source- und Drainbereichen ergibt. Im Gegensatz zu dem Leistungs-Graben-MOSFET vom Verarmungstyp nach Fig. 1 erfolgt eine Stromleitung bei dem Bauteil nach Fig. 2 entlang der Oberfläche einer Anreicherungsschicht, die entlang der Graben-Seitenwände gebildet ist, was zu einem wesentlich niedrigeren Einschaltwiderstand führt. Weiterhin kann bei dem Bauteil nach Fig. 2 eine Driftbereichs-Dotierung unterhalb von  $1 \times 10^{14} \text{ cm}^{-3}$  verwendet werden, während eine optimale Driftbereichs-Dotierung von  $2 \times 10^{16} \text{ cm}^{-3}$  für den Leistungs-Graben-MOSFET nach Fig. 1 erforderlich ist. Weiterhin weist die Struktur nach Fig. 2 in vorteilhafter Weise keine parasitäre P-N-Grenzschicht auf.

Um das Bauteil nach Fig. 2 abzuschalten, wird ein Potential an das Gate 10 angelegt, um den  $N^-$ -Bereich 6 zu invertieren. Bei dem Bauteil nach Fig. 2 ist die Verarmungs-Breite, die mit Hilfe des MOS-Gates erzielbar ist, jedoch durch die Bildung einer Inversionsschicht von Löchern in dem  $N^-$ -Driftbereich begrenzt. Hierdurch wird das Durchlaß-Sperrvermögen des Bauteils begrenzt.

Der Erfindung liegt die Aufgabe zugrunde, einen Leistungs-Graben-MOSFET mit einer neuartigen Struktur zu schaffen, die die vorstehend beschriebenen Nachteile des Standes der Technik beseitigt.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Der erfindungsgemäße MOSFET weist ähnlich wie der Leistungs-Graben-MOSFET nach Fig. 2 in vorteilhafter Weise keinen P-Basisbereich und damit auch keine P-N-Grenzschicht auf. Entsprechend ist der Leistungs-Graben-MOSFET der vorliegenden Erfindung in einem Scheibe aus Halbleitermaterial ausgebildet, die erste und zweite (d. h. obere und untere) gegenüberliegende Halbleiteroberflächen aufweist, wobei die Scheibe aus Halbleitermaterial einen relativ leicht dotierten Bereich von einem ersten Leitungstyp, vorzugsweise  $N^-$ , und eine Vielzahl von mit Abstand voneinander angeordneten schmalen Gräben aufweist, die senkrecht in der Halbleiterscheibe ausgebildet sind und sich von der oberen Oberfläche der Halbleiterscheibe aus erstrecken, wobei zumindest ein Abschnitt des  $N^-$ -Bereiches zwischen den Gräben von der oberen Halbleiteroberfläche aus angeordnet ist. Polysilizium-Gates sind in den Gräben angeordnet und von dem dazwischenliegenden Abschnitt des  $N^-$ -Bereiches durch eine Schicht aus Gateisolationsmaterial getrennt. Ein erster relativ hoch dotierter Bereich des ersten Leitungstyps, d. h.  $N^+$ , ist zwischen der oberen Halbleiteroberfläche und dem  $N^-$ -Bereich und benachbart zu der oberen Halbleiteroberfläche angeordnet.

Die vorliegende Erfindung stellt eine Verbesserung gegenüber dem bekannten Bauteil nach Fig. 2 weiterhin dadurch dar, daß bei einer ersten Ausführungsform ein  $P^+$ -Bereich eingefügt ist, der in der Halbleiterscheibe ausgebildet ist und sich von der oberen Oberfläche der Halbleiterscheibe an einer Position benachbart zu dem oberen  $N^+$ -Bereich, d. h. dem Source-Bereich erstreckt und sich zumindestens über die gleichen Strecken wie

dieser erstreckt. Bei Anlegen einer negativen Gate-Spannung zum Abschalten des Bauteils bildet der zusätzliche  $P^+$ -Bereich einen Drain- oder Senkenbereich für Löcher, die in dem  $N^-$ -Bereich erzeugt werden. Damit werden, sobald die Löcher gebildet werden, sie durch das elektrische Feld in Richtung auf den  $P^+$ -Bereich über einen Graben-p-Kanal-MOSFET abgeleitet. Dieser Effekt wird im folgenden als "Tiefverarmung" bezeichnet.

Die Tiefverarmung schnürt in sehr wirkungsvoller Weise den  $N^-$ -Bereich zwischen den grabenförmigen MOS-Gates ab, wodurch eine Potentialsperre für die Strömung von Elektronen gebildet wird und das Vorwärtssperrenvermögen des Bauteils stark verbessert wird. Im Gegensatz zu der bekannten Struktur nach Fig. 2 ist die Verarmungsbreite aufgrund des MOS-Gates nicht durch die Bildung einer Inversionsschicht von Löchern beschränkt. Dies ermöglicht es, daß die grabenförmigen Gates in der Struktur der vorliegenden Erfindung einen größeren Abstand voneinander aufweisen, und gleichzeitig wird die Durchbruchspannung verbessert, der Leckstrom verringert und die Herstellung vereinfacht.

Im eingeschalteten Zustand und bei Anlegen einer positiven Spannung an das Gate erfolgt die Stromleitung wie bei dem bekannten Bauteil nach Fig. 2 hauptsächlich über eine Anreicherungsschicht, die in der Siliziumoberfläche auf der Seite des Grabens gebildet wird. Weil die effektive Mobilität der Elektronen in dem Anreicherungsbereich höher als die durch den Invertierungsbereich ist, ist der Einschaltwiderstand des Bauteils gemäß der vorliegenden Erfindung ähnlich wie bei dem bekannten Bauteil nach Fig. 2 weiter gegenüber dem üblichen Leistungs-Graben-MOSFET verringert.

Bei einer weiteren Ausführungsform der Erfindung wird ein  $P^+$ -Bereich sowohl an der oberen Oberfläche des Bauteils in Abstand von der  $N^+$ -Source (wie bei der ersten Ausführungsform) als auch zentral in dem  $N^+$ -Bereich zwischen den Gates (wie bei der zweiten Ausführungsform der Erfindung) ausgebildet.

Die vorliegenden Erfindung schließt weiterhin vorzugsweise einen  $N^+$ -Bereich zwischen und benachbart zu der unteren Halbleiteroberfläche und dem  $N^-$ -Bereich (in einer MOSFET-Ausführungsform) oder einen  $P^+$ -Bereich zwischen und benachbart zu der unteren Halbleiteroberfläche des Bauteils und dem  $N^-$ -Bereich ein, wodurch eine Struktur gebildet wird, die aus einer PN-Diode in Serie mit einem Graben-MOSFET gebildet wird (d. h. eine IGBT-Ausführungsform).

In vorteilhafter Weise können alle Ausführungsformen der Erfindung in einer zellularen Geometrie mit ringförmigen Gräben ausgeführt werden, die mit Abstand voneinander über der Oberfläche des Siliziums ausgebildet sind. Zusätzlich kann bei allen Ausführungsformen die Überlappung zwischen dem  $N^-$ -Bereich und dem Gate geändert werden, um entweder das Durchbruchspannungs- oder das Einschaltwiderstands-Verhalten des Bauteils zu optimieren.

Die vorliegende Erfindung kann auch in Form eines Bauteils mit horizontaler Leitung ausgeführt werden, wobei in diesem Fall das Gate auf der oberen Oberfläche des Bauteils über dem  $N^-$ -Driftbereich anstatt in den Gräben angeordnet ist.

Die Erfindung wird im folgenden anhand von in der Zeichnung dargestellten Ausführungsbeispielen noch näher erläutert.

In den Zeichnungen zeigen:

Fig. 1 die Konfiguration eines bekannten Leistungs-Graben-MOSFET's vom Verarmungstyp,

Fig. 2 die Konfiguration eines bekannten Leistungs-Graben-MOSFET's vom Anreicherungstyp,

Fig. 3 eine erste Ausführungsform der vorliegenden Erfindung mit einem zusätzlichen  $P^+$ -Drainbereich, der sich von der oberen Oberfläche des Bauteils vom Anreicherungstyp aus erstreckt, wobei Fig. 3a einen Querschnitt einer Vielzahl von Zellen der ersten Ausführungsform der vorliegenden Erfindung zeigt, während Fig. 3b eine Draufsicht auf eine Vielzahl von Zellen der ersten Ausführungsform der vorliegenden Erfindung zeigt,

Fig. 4 eine zweite Ausführungsform der vorliegenden Erfindung mit einem  $P^+$ -Bereich, der von der oberen Oberfläche der Halbleiterscheibe zentral durch den  $N^+$ -Sourcebereich hindurch und in den  $N^-$ -Driftbereich zwischen den grabenförmigen Gates eindiffundiert ist,

Fig. 5 eine kombinierte Ausführungsform der Erfindung, die mit den  $P^+$ -Bereichen sowohl der Fig. 3 und 4 versehen ist, wobei Fig. 5a eine alternative Konfiguration der Fig. 5 zeigt, bei der sich der zentrale  $P^+$ -Bereich vollständig durch den  $N^+$ -Drainbereich erstreckt,

Fig. 6 und 7 alternative Konfigurationen, die den Ausführungsformen nach den Fig. 3 bzw. 4 entsprechen, die jedoch einen flacheren  $N^-$ -Driftbereich und damit einen niedrigeren Einschaltwiderstand, jedoch auch eine geringere Durchbruchspannung aufweisen,

Fig. 8 und 9 weitere abgeänderte Konfigurationen, die wiederum den Ausführungsformen nach Fig. 3 bzw. 4 entsprechen, mit einem noch flacheren  $N^-$ -Driftbereich als bei der Ausführungsform nach den Fig. 6 und 7,

Fig. 10, 11 und 12 eine Draufsicht auf eine bevorzugte hexagonale Zellenkonfiguration für die Ausführungsformen nach den Fig. 3, 4 bzw. 5,

Fig. 13 bis 15 eine IGBT-Ausführungsform der Erfindung, bei der der  $N^+$ -Bereich an der unteren Oberfläche des Bauteils durch einen  $P^+$ -Bereich ersetzt ist,

Fig. 16 eine Ausführungsform der Erfindung mit horizontaler Stromleitung.

Eine erste Ausführungsform des neuartigen Leistungs-Graben-MOSFET gemäß der vorliegenden Erfindung ist in Fig. 3 gezeigt. Wie dies in dieser Figur gezeigt ist, weist die vorliegende Erfindung eine Struktur ähnlich dem bekannten Bauteil nach Fig. 2 auf, schließt jedoch zusätzlich einen  $P^+$ -Bereich 16 ein, der in der Halbleiterscheibe ausgebildet ist und sich von der oberen Oberfläche der Halbleiterscheibe (die durch die Sourceelektrode 12 bedeckt ist) benachbart zu dem  $N^+$ -Sourcebereich 2 erstreckt.

Wie dies durch den Pfeil in Fig. 3 angedeutet ist, lenkt der  $P^+$ -Bereich 16 im abgeschalteten Zustand (Vorwärtssperrenzustand) bei einem an das Gate 10 angelegten negativen Potential in vorteilhafter Weise Löcher, die in dem  $N^-$ -Bereich 6 gebildet werden, über einen p-Kanal-Graben-MOSFET ab, wobei der  $P^+$ -Bereich 16 als "Drain" wirkt, während die Gateelektrode 10 das "Gate" und der  $N^-$ -Bereich 6 der "Kanal" ist (der durch das Gate invertiert wird), während die durch die Inversion des  $N^-$ -Bereiches 6 gebildeten Löcher der "Source"

bilden. Der P<sup>+</sup>-Bereich 16 wirkt damit als Drain oder Senke für die Löcher, was zu den folgenden Vorteilen führt:

Zunächst verhindert der P<sup>+</sup>-Drainbereich 16 die Bildung einer Inversionsschicht von Löchern, wenn sich das Bauteil im abgeschalteten Zustand befindet, und beseitigt damit die wesentliche Beschränkung des Betriebsverhaltens des bekannten Bauteils nach Fig. 2, nämlich eine Begrenzung der Verarmungstiefe benachbart zum Gate. Daher ruft der P<sup>+</sup>-Drainbereich 16 der vorliegenden Erfindung eine vergrößerte Verarmung ("Tiefverarmung") benachbart zum Gate im abgeschalteten Zustand hervor. Hierdurch wird die Potentialsperrung für die Strömung von Elektronen zwischen Source 12 und Drain 14 im abgeschalteten Zustand vergrößert, was zu einem verringerten Leckstrom und einer höheren Durchbruchspannung führt.

Zweitens beseitigt die Beseitigung einer Inversionsschicht von Löchern bei der vorliegenden Erfindung einen Band-zu-Band-Tunnel-Leckstrom, der einen beträchtlichen Leckmechanismus in VLSI-Bauteilen unter Einfluß des Bauteils nach Fig. 2 darstellt.

Die in Fig. 3 gezeigte Ausführungsform der vorliegenden Erfindung wurde mit den in der folgenden Tabelle gezeigten Parametern simuliert:

PARAMETER	WERT
Zellen-Teilung oder -Abstand (s. Fig. 3b)	3 $\mu\text{m}$
N-Driftbereichs-Dotierung	$1 \times 10^{14} \text{cm}^{-3}$
Grabentiefe	4 $\mu\text{m}$
Grabenbreite	2 $\mu\text{m}$
Abstand zwischen Gräben (s. Fig. 3b)	1 $\mu\text{m}$
Gateoxyd-Dicke	500 Å
Sourcemetall-Kontaktfenster	0.8 $\mu\text{m}$
P-Oberflächenkonzentration	$1 \times 10^{20} \text{cm}^{-3}$
P-Grenzschichttiefe	0,3 $\mu\text{m}$
N-Sourceoberflächenkonzentration	$1 \times 10^{12} \text{cm}^{-3}$
N-Sourcegrenzschichttiefe	0,7 $\mu\text{m}$

Die Ergebnisse der Simulation unter Verwendung der vorstehenden Parameter zeigten eine Vorwärts-Sperrspannung von mehr als 60 Volt. Der Einschaltwiderstand  $R_{\text{ON}}$  wurde mit  $0,076 \text{ m}\Omega\text{-cm}^2$  ermittelt, was beträchtlich niedriger als der Einschaltwiderstand üblicher Leistungs-Graben-MOSFET's ist. Es wurde eine vollständig Gate-gesteuerte Charakteristik und eine Schwellenwertspannung von 0,8 Volt erzielt. Theoretische Berechnungen von  $R_{\text{ON}}$  unter Verwendung der verschiedenen Komponenten des Einschaltwiderstandes sind in enger Übereinstimmung mit diesen Ergebnissen.

In Fig. 4 ist eine zweite Ausführungsform der vorliegenden Erfindung gezeigt, bei der ein P<sup>+</sup>-Bereich 18 von der oberen Oberfläche der Halbleiterscheibe aus zentral durch den N<sup>+</sup>-Sourcebereich 2 hindurch und in den N<sup>-</sup>-Driftbereich eindiffundiert ist. Eine Vorwärts-Sperrung wird bei dieser Ausführungsform durch die Verarmung

nung von dem MOS-Gate 10 und durch eine Grenzschichtverarmung (JFET-Wirkung) von der P<sup>+</sup>-Diffusion 18 erzielt.

Wahlweise kann, wie dies in Fig. 5 gezeigt ist, die vorliegende Erfindung in einer Ausführungsform sowohl mit dem P<sup>+</sup>-Drainbereich 16 als auch mit der P<sup>+</sup>-Diffusion 18 ausgebildet werden, wobei sich die entsprechenden Vorteile von beiden Maßnahmen ergeben. Fig. 5a zeigt eine abgeänderte Ausführungsform der Fig. 5, bei der sich ein zentraler P<sup>+</sup>-Bereich 18 vollständig bis herunter zu dem N<sup>+</sup>-Bereich 8 erstreckt.

Die Fig. 6 und 7 zeigen abgeänderte Konfigurationen, die den Ausführungsformen nach den Fig. 3 bzw. 4 entsprechen, jedoch einen flacheren N<sup>-</sup>-Driftbereich 6 und damit einen niedrigeren Einschaltwiderstand, jedoch auch eine niedrigere Durchbruchspannung aufweisen. Die Fig. 8 und 9 zeigen weitere alternative Ausführungsformen, die wiederum den Ausführungsformen nach den Fig. 3 bzw. 4 entsprechen, jedoch mit einem noch flacheren N<sup>-</sup>-Driftbereich 6 als die Ausführungsformen nach den Fig. 6 und 7. Die Ausführungsformen nach den Fig. 8 und 9 weisen den niedrigsten Einschaltwiderstand auf, können jedoch lediglich bei Niederspannungsanwendungen verwendet werden, weil sie eine relativ niedrige Durchbruchspannung aufweisen.

Die vorliegende Erfindung kann in vorteilhafter Weise in einer zellularen Topologie ausgebildet werden. Beispielsweise zeigen die Fig. 3a und 3b einen Querschnitt bzw. eine Draufsicht auf eine Vielzahl von Zellen der Ausführungsform nach Fig. 3. Alternativ und vorzugsweise kann jede der einzelnen Zellen in einer vieleckigen Konfiguration ausgebildet werden. Die Fig. 10, 11 und 12 zeigen die Draufsicht auf eine bevorzugte hexagonale oder sechseckige Zellenkonfiguration für die Ausführungsformen nach den Fig. 3, 4 bzw. 5.

Die Fig. 13 bis 15 zeigen eine weitere Ausführungsform der Erfindung, bei der N<sup>+</sup>-Bereich 8 durch einen P<sup>+</sup>-Bereich 20 ersetzt ist. Entsprechend kann gemäß Fig. 13 die bekannte Struktur nach Fig. 2 so modifiziert werden, daß eine PN-Grenzschicht in Serie mit einem Graben-Transistor gebildet wird, wodurch ein IGBT-Bauteil geschaffen wird. In gleicher Weise zeigen die Fig. 14 und 15 eine IGBT-Konfiguration, die den Ausführungsformen nach den Fig. 3 bzw. 4 entspricht.

Obwohl dies nicht gezeigt ist, kann die kombinierte Ausführungsform der Erfindung gemäß Fig. 5 in ähnlicher Weise in Form eines IGBT ausgebildet werden. In gleicher Weise können die IGBT-Konfigurationen in einer zellenförmigen Topologie entsprechend den Fig. 10 bis 12 und/oder mit flacheren N<sup>-</sup>-Driftbereichen gemäß den Fig. 6 bis 9 ausgebildet werden, um den Einschaltwiderstand bei Anwendungen mit niedrigerer Spannung zu verringern.

Die Fig. 16 zeigt eine Ausführungsform der Erfindung mit horizontaler Stromleitung, bei der das Bauteil auf einem P<sup>+</sup>-Substrat ausgebildet ist. Im Einschaltzustand fließt Strom von einem N<sup>+</sup>-Drainbereich 24 durch den N<sup>-</sup>-Driftbereich 26 zum N<sup>+</sup>-Sourcebereich 28. Wie bei der entsprechenden Ausführungsform mit vertikaler Stromleitung nach Fig. 3 ist ein P<sup>+</sup>-Drainbereich 30 in der Halbleiterscheibe ausgebildet und erstreckt sich von der oberen Oberfläche der Halbleiterscheibe in diese an einer Position benachbart zu dem N<sup>+</sup>-Source-Bereich 28. Ein MOS-Gate 32 liegt über dem N<sup>-</sup>-Driftbereich 26.

Bei Anlegen einer negativen Spannung an das MOS-Gate 32 bildet der P<sup>+</sup>-Bereich 30 eine Senke oder einen Drainbereich für Löcher, die in dem N<sup>-</sup>-Driftbereich 26 erzeugt werden. Daher werden die Löcher unmittelbar nach ihrer Bildung in Richtung auf den P<sup>+</sup>-Bereich 30 durch das elektrische Feld über den lateralen P-Kanal-MOSFET abgelenkt, was zu einer "Tiefverarmung" des N<sup>-</sup>-Driftbereiches 26 führt.

Es ist erkennbar, daß vielfältige Abänderungen der beschriebenen Ausführungsformen möglich sind. Beispielsweise können bei allen beschriebenen Ausführungsformen die Dotierungspolaritäten der Bereiche und die angelegten Spannungen umgekehrt werden, so daß ein Strom in der entgegengesetzten Richtung fließen würde.

#### Patentansprüche

1. Hochleistungs-MOSFET-Graben-Transistorbauteil mit relativ niedrigem Einschaltwiderstand und relativ hoher Durchbruchspannung, dadurch gekennzeichnet, daß das Bauteil folgende Teile aufweist:  
eine Scheibe aus Halbleitermaterial mit ersten und zweiten gegenüberliegenden Halbleiteroberflächen, wobei die Halbleiterscheibe einen relativ leicht dotierten Bereich (6) eines ersten Leitungstyps, eine Vielzahl von mit Abstand voneinander angeordneten schmalen Gräben, die senkrecht in der Halbleiterscheibe ausgebildet sind und sich von der ersten Halbleiteroberfläche aus erstrecken, wobei zumindestens ein Abschnitt des relativ leicht dotierten Bereiches (6) zwischen den Gräben angeordnet ist,  
Gateelektrodenanordnungen (10), die in den Gräben angeordnet und von dem Abschnitt des relativ leicht dotierten Bereiches (6) durch eine Schicht aus Gateisolationmaterial (11) getrennt sind,  
einen ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps, der zwischen und benachbart zu der ersten Halbleiteroberfläche und dem relativ leicht dotierten Bereich (6) angeordnet ist, und  
einen ersten Bereich (16) eines zweiten Leitungstyps entgegengesetzt zu dem ersten Leitungstyp, wobei der erste Bereich (16) des zweiten Leitungstyps in der Halbleiterscheibe ausgebildet ist und sich von der ersten Halbleiteroberfläche benachbart zu dem ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps erstreckt, wobei der erste Bereich (16) des zweiten Leitungstyps eine Senke für Träger des zweiten Leitungstyps in dem Abschnitt des relativ leicht dotierten Bereiches (2) des ersten Leitungstyps zwischen den Gates (10) bildet, um einen Tiefverarmungsbereich in diesem zu bilden und um ein vergrößertes Vorwärts-Sperrvermögen für das Bauteil zu schaffen, wenn eine Spannung an die Gateelektrodenanordnungen angelegt wird, um das Bauteil abzuschalten.
2. Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß es weiterhin einen zweiten Bereich (18) des zweiten Leitungstyps entgegengesetzt zu dem ersten Leitungstyp aufweist, der in der Halbleiterscheibe zwischen den Gräben ausgebildet ist und sich von der ersten Halbleiteroberfläche durch den ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps und durch zumindestens einen Teil des relativ leicht dotierten Bereiches (6) des ersten Leitungstyps erstreckt, wobei der zweite Bereich (18) des zweiten



Leitungstyps von den Gräben auf seinen gegenüberliegenden Seiten durch den ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps und durch den Teil des relativ leicht dotierten Bereiches (6) des ersten Leitungstyps getrennt ist, durch den sich der zweite Bereich (18) des zweiten Leitungstyps erstreckt, wodurch, wenn die Spannung an die Gateelektrodenanordnung angelegt wird, um das Bauteil abzuschalten, Träger des ersten Leitungstyps, die in dem Abschnitt des relativ leicht dotierten Bereiches (6) des ersten Leitungstyps zwischen den Gates erzeugt werden, von diesem relativ leicht dotierten Bereich des ersten Leitungstyps zwischen den Gateelektrodenanordnungen durch die Wirkung der Gate-Verarmung und der Grenzschnittverarmung abgeleitet werden, um die Vorwärts-Sperrfähigkeit des Bauteils weiter zu vergrößern.

3. Bauteil nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß sich die Gräben jeweils in einer ersten Längsrichtung parallel zu den ersten und zweiten Halbleiteroberflächen erstrecken, daß die Gateelektrodenanordnungen, die in den Gräben angeordnet sind, jeweilige längsverlaufende Flächen aufweisen, die sich in der ersten Längsrichtung erstrecken, und daß der erste Bereich (16) des zweiten Leitungstyps sich in einer zweiten Längsrichtung senkrecht zur ersten Längsrichtung erstreckt.

4. Bauteil nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß sich die Gräben jeweils in einer ersten Längsrichtung parallel zu den ersten und zweiten Halbleiteroberflächen erstrecken, daß die in den Gräben angeordneten Gateelektrodenanordnungen jeweilige Längsflächen aufweisen, die sich in der ersten Längsrichtung erstrecken, daß der erste Bereich (16) vom zweiten Leitungstyp sich in einer zweiten Längsrichtung senkrecht zu der ersten Längsrichtung erstreckt, und daß der zweite Bereich (18) des zweiten Leitungstyps sich in Längsrichtung in der ersten Längsrichtung erstreckt.

5. Hochleistungs-Metalloxyd-Halbleiter-Feldeffekt-Grabentransistorbauteil, das einen relativ niedrigen Einschaltwiderstand und eine relativ hohe Durchbruchspannung aufweist, dadurch gekennzeichnet, daß das Bauteil folgende Teile aufweist:

eine Scheibe aus Halbleitermaterial mit ersten und zweiten gegenüberliegenden Halbleiteroberflächen, wobei die Halbleiterscheibe einen relativ leicht dotierten Bereich (6) eines ersten Leitungstyps einschließt, wobei eine Vielzahl von mit Abstand angeordneten schmalen Gräben senkrecht in der Halbleiterscheibe ausgebildet ist und sich von der ersten Halbleiteroberfläche aus erstreckt und wobei zumindestens ein Abschnitt des relativ leicht dotierten Bereiches (6) zwischen den Gräben angeordnet ist,

Gateelektrodenanordnungen (10), die in den Gräben angeordnet sind und von dem Abschnitt des relativ leicht dotierten Bereiches (6) durch eine Schicht aus Gateisolationsmaterial (11) getrennt sind, einen ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps, der zwischen und benachbart zu der ersten Halbleiteroberfläche und dem relativ leicht dotierten Bereich (6) angeordnet ist, und

einen ersten Bereich (18) eines zweiten Leitungstyps entgegengesetzt zum ersten Leitungstyp, der in der Halbleiterscheibe zwischen den Gräben angeordnet ist und sich von der ersten Halbleiteroberfläche durch den ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps und durch zumindest einen Teil des relativ leicht dotierten Bereiches (6) des ersten Leitungstyps erstreckt, wobei der erste Bereich (18) vom zweiten Leitungstyp von den Gräben auf seinen gegenüberliegenden Seiten durch den ersten relativ hoch dotierten Bereich (2) des ersten Leitungstyps und durch den Teil des relativ leicht dotierten Bereiches (6) vom ersten Leitungstyp getrennt ist, durch den sich der erste Bereich des zweiten Leitungstyps erstreckt, wobei der erste Bereich des zweiten Leitungstyps Träger des ersten Leitungstyps von dem relativ leicht dotierten Bereich des ersten Leitungstyps zwischen den Gates durch die Wirkung einer Gate-Verarmung und einer Grenzschnittverarmung ableitet, um ein verbessertes Vorwärts-Sperrvermögen für das Bauteil zu erzielen, wenn eine Spannung an die Gateelektrodenanordnungen angelegt wird, um das Bauteil abzuschalten.

6. Bauteil nach Anspruch 5, dadurch gekennzeichnet, daß sich die Gräben jeweils in einer ersten Längsrichtung parallel zu den ersten und zweiten Halbleiteroberflächen erstrecken, daß die Gateelektrodenanordnungen, die in den Gräben angeordnet sind, jeweilige längsgerichtete Flächen aufweisen, die sich in der ersten Längsrichtung erstrecken, und daß der erste Bereich (18) des zweiten Leitungstyps sich in Längsrichtung in der ersten Längsrichtung erstreckt.

7. Bauteil nach Anspruch 1, 2 oder 5, dadurch gekennzeichnet, daß sich der relativ leicht dotierte Bereich (6) des ersten Leitungstyps unterhalb und seitlich unter den Gräben erstreckt.

8. Bauteil nach Anspruch 1, 2 oder 5, dadurch gekennzeichnet, daß es weiterhin einen zweiten relativ hoch dotierten Bereich (16) des ersten Leitungstyps aufweist, der zwischen und benachbart zu der zweiten Halbleiteroberfläche und dem relativ leicht dotierten Bereich (6) des ersten Leitungstyps angeordnet ist.

9. Bauteil nach Anspruch 8, dadurch gekennzeichnet, daß sich der relativ hoch dotierte Bereich (2) des ersten Leitungstyps von der zweiten Halbleiteroberfläche nach oben und zwischen die Gräben erstreckt.

10. Bauteil nach Anspruch 1, 2 oder 5, dadurch gekennzeichnet, daß es weiterhin einen ersten relativ hoch dotierten Bereich des zweiten Leitungstyps aufweist, der zwischen und benachbart zu der zweiten Halbleiteroberfläche und dem relativ leicht dotierten Bereich des ersten Leitungstyps angeordnet ist.

11. Bauteil nach Anspruch 1, 2 oder 5, dadurch gekennzeichnet, daß das Bauteil in einer zellularen Topologie ausgebildet ist, die eine Vielzahl von parallel geschalteten vieleckigen Zellen umfaßt.

12. Hochleistungs-Metalloxyd-Halbleiter-Feldeffekt-Grabentransistorbauteil, das einen relativ niedrigen Einschaltwiderstand und eine relativ hohe Durchbruchspannung aufweist, dadurch gekennzeichnet, daß das Bauteil folgende Teile aufweist:

eine Scheibe aus Halbleitermaterial, die erste und zweite gegenüberliegende Halbleiteroberflächen aufweist, einen relativ leicht dotierten Bereich eines zweiten Leitungstyps, der in der Halbleiterscheibe ausgebildet ist und sich von der ersten Halbleiteroberfläche zu einem Substratabschnitt der Halbleiterscheibe erstreckt,



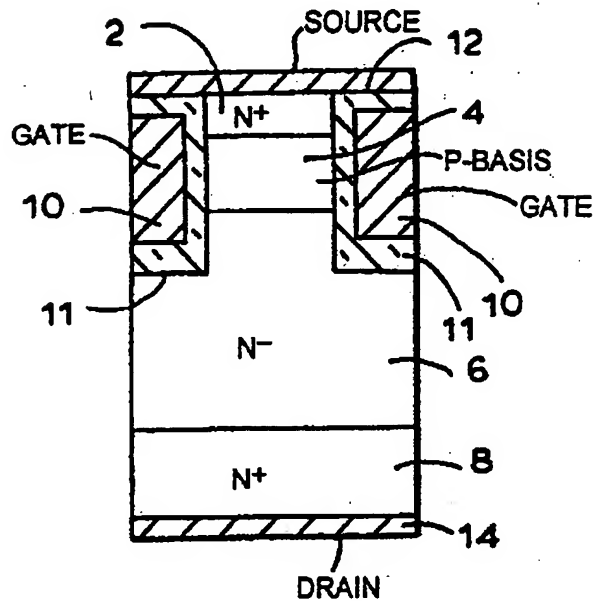
wobei der Substratabschnitt einen Bereich eines zweiten Leitungstyps aufweist,  
 Gateisolationseinrichtungen auf der ersten Halbleiteroberfläche, die zumindestens auf dem relativ leicht  
 dotierten Bereich des ersten Leitungstyps angeordnet sind,  
 Gateelektrodeneinrichtungen, die über den Gateisolationseinrichtungen angeordnet sind,  
 einen relativ hoch dotierten Drainbereich des zweiten Leitungstyps, der in der Halbleiterscheibe ausgebil- 5  
 det ist und sich von der ersten Halbleiteroberfläche bis zu dem Substratabschnitt der Halbleiterscheibe  
 erstreckt, wobei der Drainbereich seitlich von und benachbart zu dem relativ leicht dotierten Bereich des  
 ersten Leitungstyps auf einer ersten Seite hiervon angeordnet ist,  
 einen relativ hoch dotierten Sourcebereich des ersten Leitungstyps, der in der Halbleiterscheibe ausgebildet 10  
 ist und sich von der ersten Halbleiteroberfläche bis zu dem Substratabschnitt der Halbleiterscheibe er-  
 streckt, wobei der Sourcebereich seitlich von und benachbart zu dem relativ leicht dotierten Bereich des  
 ersten Leitungstyps auf einer zweiten Seite hiervon gegenüberliegend zu ersten Seite angeordnet ist, und  
 einen ersten Bereich eines zweiten Leitungstyps entgegengesetzt zu dem ersten Leitungstyp, wobei der  
 erste Bereich des zweiten Leitungstyps in der Halbleiterscheibe ausgebildet ist und sich von der ersten 15  
 Halbleiteroberfläche benachbart zu und zumindestens teilweise über die gleiche Erstreckung wie der erste  
 relativ hoch dotierte Sourcebereich des ersten Leitungstyps erstreckt,  
 wodurch, wenn eine Spannung mit der gleichen Polarität wie der erste Leitungstyp an die Gateelektroden-  
 einrichtung angelegt wird, der erste Bereich des zweiten Leitungstyps eine Senke für Träger des zweiten  
 Leitungstyps in dem Abschnitt des relativ leicht dotierten Bereiches des ersten Leitungstyps unter der 20  
 Gateelektrodeneinrichtung bildet, um einen Tiefverarmungsbereich in diesem zu bilden und eine vergrößerte  
 Vorwärts-Sperrfähigkeit für das Bauteil zu schaffen.  
 13. Bauteil nach Anspruch 1, 2, 5 oder 12, dadurch gekennzeichnet, daß der ersten Leitungstyp der N-Lei-  
 tungstyp ist, während der zweite Leitungstyp der P-Leitungstyp ist.

Hierzu 10 Seite(n) Zeichnungen

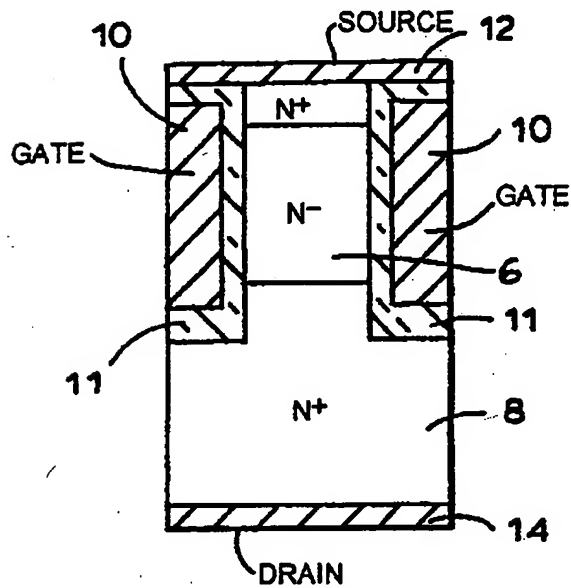
- Leerseite -



**FIG. 1** STAND DER TECHNIK



**FIG. 2** STAND DER TECHNIK



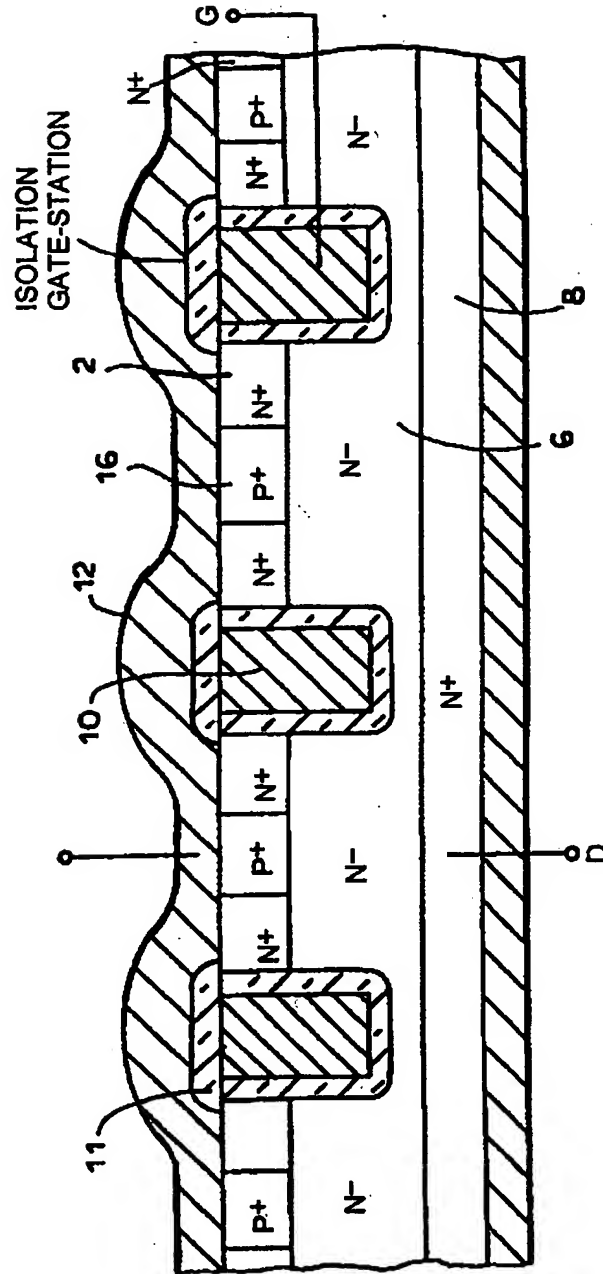
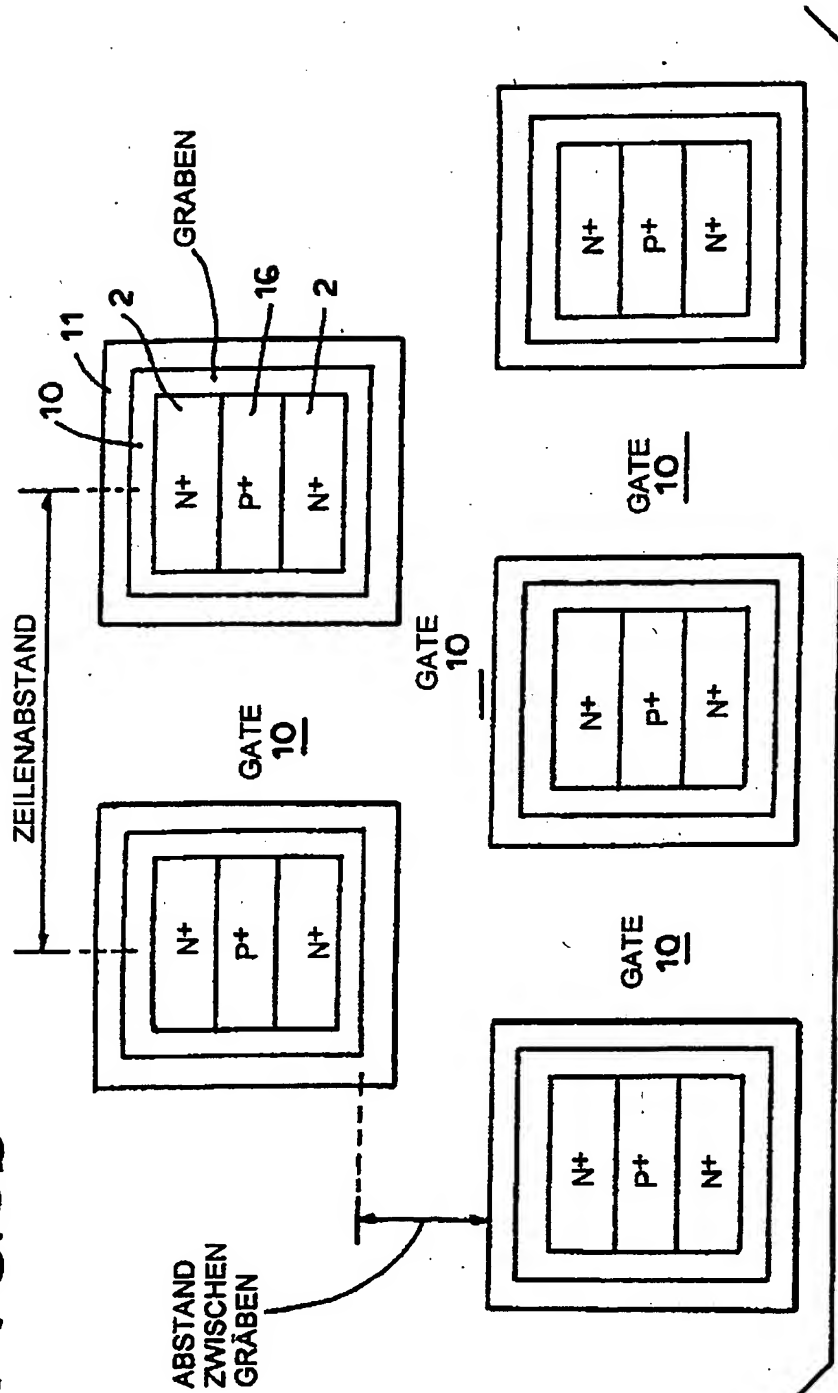
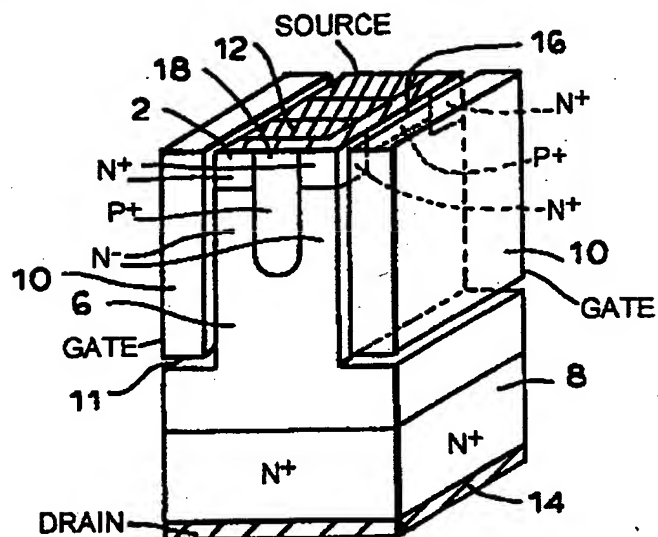


FIG. 3a

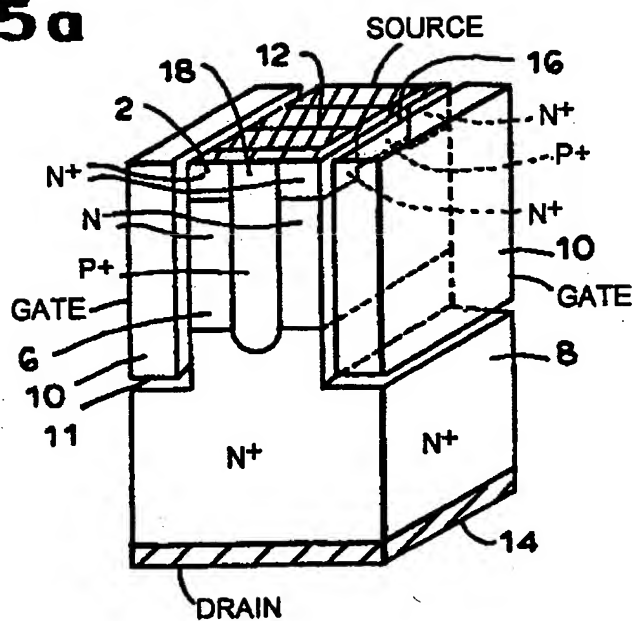
**FIG. 3b**



**FIG. 5**

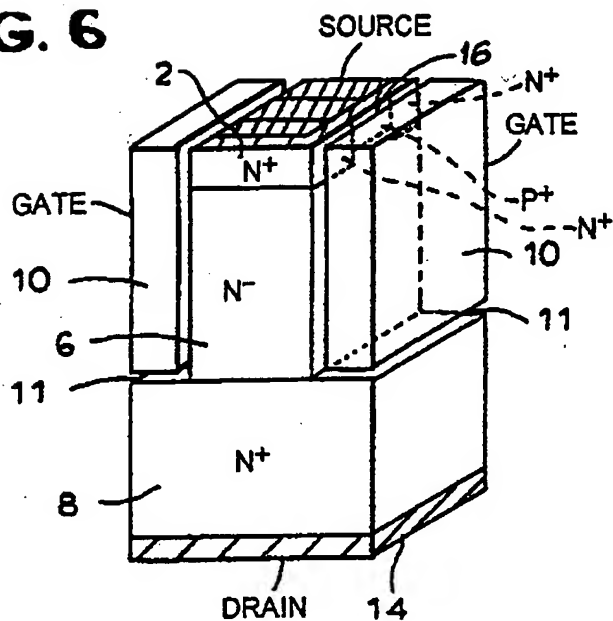


**FIG. 5a**

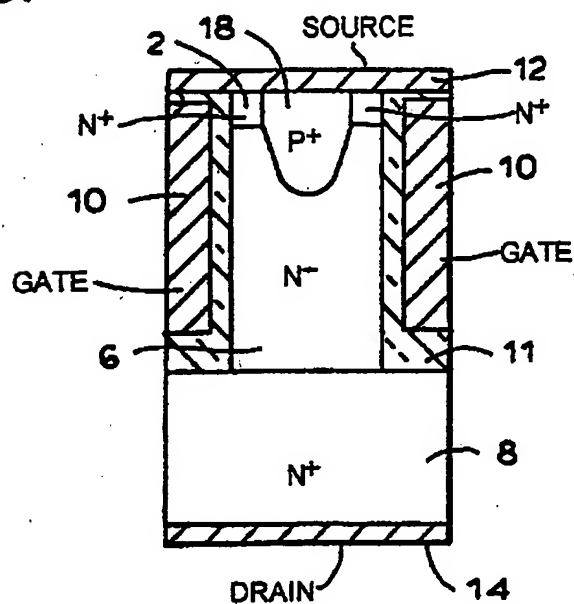




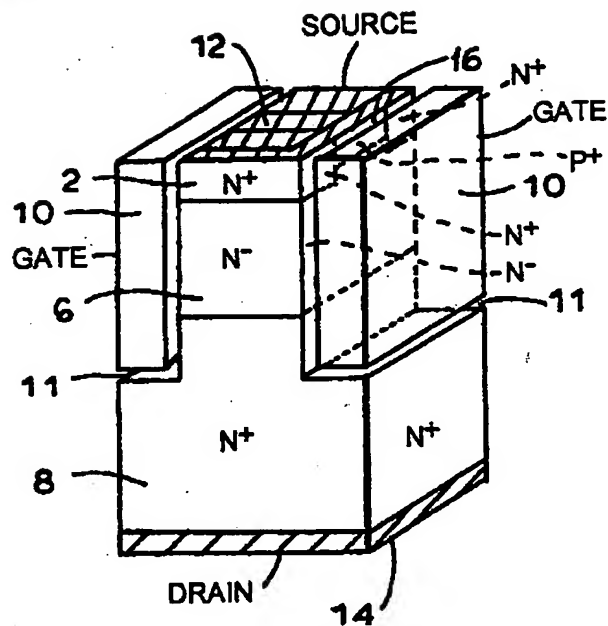
**FIG. 6**



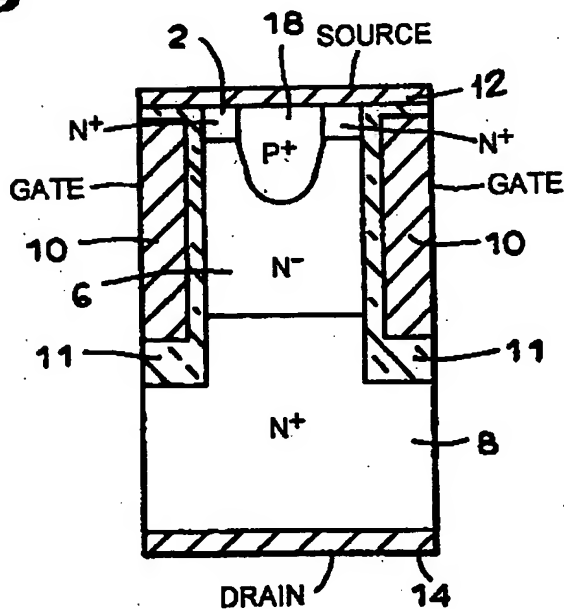
**FIG. 7**



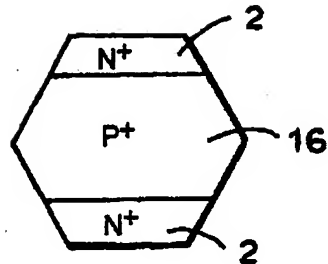
**FIG. 8**



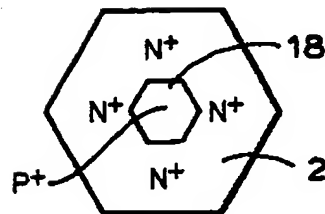
**FIG. 9**



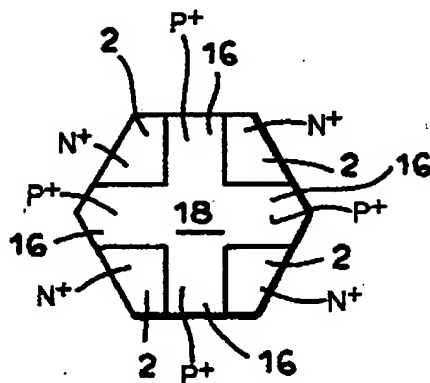
**FIG. 10**



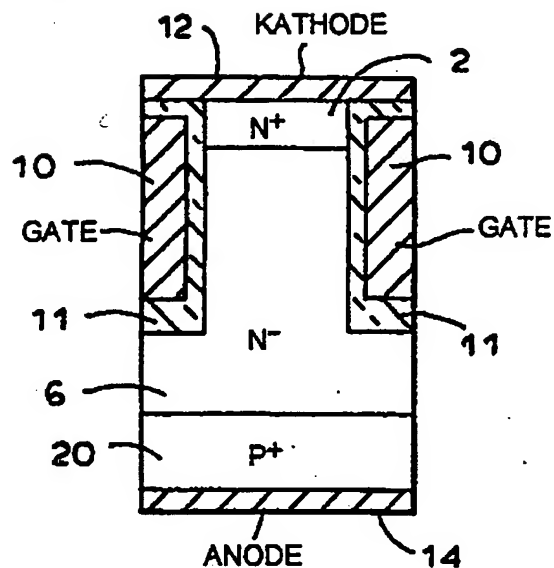
**FIG. 11**



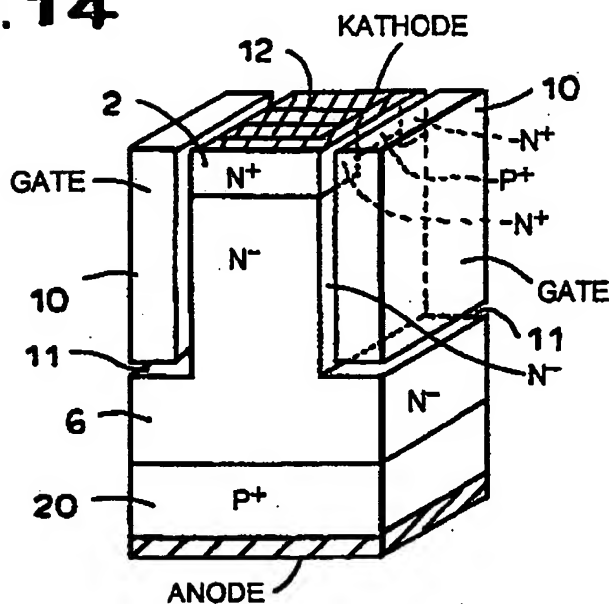
**FIG. 12**



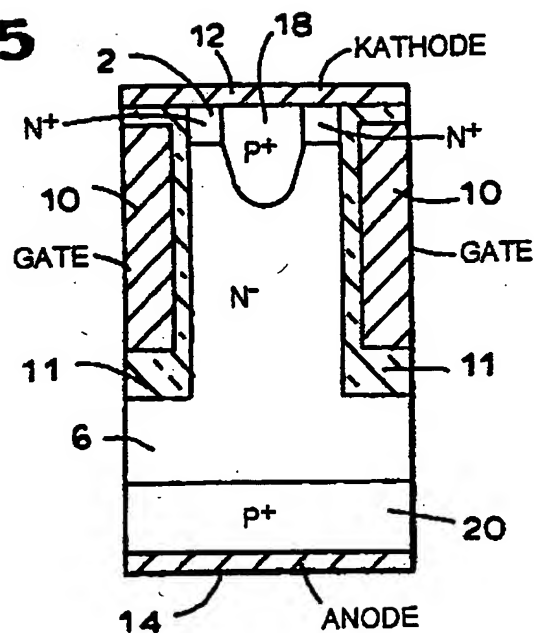
**FIG. 13**



**FIG. 14**



**FIG. 15**



**FIG. 16**

